

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

H04L 12/28

(11) 공개번호 특 1999-0074741

(43) 공개일자 1999년 10월 05일

(21) 출원번호 10-1998-0008535

(22) 출원일자 1998년 03월 13일

(71) 출원인 만도기계 주식회사 오상수

경기도 군포시 당동 730번지

(72) 발명자 류근장

경기도 성남시 분당구 정자동 느티마을아파트 305/1501

백대환

서울특별시 동작구 상도2동 산5-2번지 19동 1반

임정환

경기도 용인시 백암면 백봉리 237-1 무지개발라 가동 801호

(74) 대리인 김원준, 장성구

심사청구 : 있음(54) 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드 셀 전송 장치 및 방법

## 요약

본 발명은 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드(ATM) 셀 전송 장치에 관한 것으로서, 전송을 위한 패킷 데이터들이 내부 패킷 버퍼들에 저장되어 있으며, 호스트(30)는 독출 요구된 패킷 버퍼내의 데이터들을 송신하는 호스트(30)와, 호스트(30)의 패킷 버퍼들에 대한 정보들이 저장되어 있는 로컬 메모리(60)와, 다수의 레이트 큐들이 저장되어 있으며, 레이트 큐들은 지정된 계수값까지 내부 클럭을 계수하여 전송 요구 신호를 출력하는 레이트 큐 로직 회로(70)를 구비하여, 링크 제어 회로(10)는 로컬 메모리(60)에 저장된 정보들을 이용하여 레이트 큐에 대응하는 전송 속도로 전송하기 위한 패킷 버퍼들을 레이트 큐 및 전송 채널별로 상호 링크시키고, 총괄 제어 회로(20)는 전송 요구 신호가 인가되면, 전송 요구 신호를 출력한 레이트 큐에 대응하여 링크된 패킷 버퍼들중 상이한 전송 채널을 갖는 패킷 버퍼들에 대하여 순차적으로 독출 요구를 행하며, 독출 완료된 패킷 버퍼들에 대하여는 링크로부터 소거시킨다.

## 대표도

## 도2

## 명세서

## 도면의 간단한 설명

도 1은 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드 셀 전송 장치의 개념도,

도 2는 본 발명에 따른 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드 셀 전송 장치의 블럭도,

도 3은 본 발명에 따른 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드 셀 전송 장치내에 구성되는 로컬 메모리의 구성도,

도 4는 본 발명에 따른 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드 셀 전송 장치내 로컬 메모리에 구성되는 디스크립터의 포맷 상태를 도시한 도면,

도 5는 본 발명에 따른 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드 셀 전송 장치내 로컬 메모리에 구성되는 가상 채널 테이블의 포맷 상태를 도시한 도면,

도 6은 본 발명에 따른 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드 셀 전송 장치에서 링크 제어 회로가 디스크립터들에 대한 링크를 형성하는 방법을 도시한 흐름도,

도 7은 도 6의 흐름도에 따라 형성된 디스크립터 링크의 상태를 도시한 도면,

도 8은 본 발명에 따른 비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드 셀 전송 장치에서 총괄 제어 회로가 도 7과 같이 형성된 디스크립터 링크의 순으로 비동기 전송 모드 셀을 형성하여 전송하는 방법을 도시한 흐름도.

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

10 : 링크 제어 회로	20 : 총괄 제어 회로
30 : 호스트	40 : 호스트 액세스 제어 회로
50 : 레지스터 회로	60 : 로컬 메모리
70 : 레이트 큐 로직 회로	80 : 메모리 액세스 콘트롤 회로
90 : 패킷 데이터 변환 회로	110 : 셀 버퍼 회로
120 : CS/ATM 회로	130 : 물리층 인터페이스 회로

## 발명의 상세한 설명

## 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비동기 전송 모드(Asynchronous Transfer Mode ; ATM)에 관한 것으로서, 더욱 상세하게는 비동기 전송 모드 어댑테이션 층(Asynchronous Transfer Mode Adaptation Layer) 타입 5(이하, AAL 타입 5라 함)의 ATM 셀 전송 장치 및 방법에 관한 것이다.

ATM 네트워크에는 물리층, ATM 층 및 AAL의 3 개층으로 분리한 표준 프로토콜이 형성되어 있다. 즉, 송신을 위한 패킷 데이터는 먼저 AAL층에서 48바이트로 분할되고, ATM층에서는 상대방의 수신처 정보를 포함하는 5 바이트의 헤더가 부가되어 ATM의 기본 데이터 단위인 53바이트의 셀을 형성하게 된다. 또한, 물리층에서는 전송로를 통하여 ATM층으로부터의 ATM 셀을 전송한다.

한편, AAL층은 여러가지 상위 애플리케이션의 데이터 단위(음성으로는 1 바이트의 고정 길이, 데이터로는 수 퀄로 바이트까지의 가변 길이)와 셀에서 통일적으로 다루는 48 바이트 사용자 정보와의 정합, 조정을 행하는 층이다. ATM층이 음성, 영상, 데이터등의 애플리케이션에 의존하지 않는 사양임에 반하여 AAL은 상위 애플리케이션에 의존하게 된다.

AAL에서 제공가능한 서비스들은 상위층 애플리케이션 트래픽으로서의 특징에 준거하여 크게 클래스 A, B, C, D로 분류할 수 있으며, 이들 서비스를 실현하기 위하여 AAL 타입 1, AAL 타입 2, AAL 타입 3, AAL 타입 4, AAL 타입 5의 다섯 가지 프로토콜이 검토되고 있다.

도 1에는 AAL 타입 5를 통하여 ATM 셀을 송신하기 위한 송신부의 개념도가 도시되어 있다.

도시된 바와 같이 다양한 상위 계층에서 전송하고자 하는 데이터들은 AAL 타입 5(1)의 공통부 컨버전스 서브층(Common Part Convergence Sublayer ; 이하, CPCS라 함)(C1-Cn) 및 셀 분할, 조립 서브층(Segmentation and Reassembly Sublayer ; 이하, SAR라 함)(S1-Sn)을 통하여 셀이라는 형태로 정형화되어 채널별로 ATM층(2)에 전송된다. ATM층(2)은 내부의 멀티플렉서(MUX1)를 통하여 각 채널별로 할당된 전송 속도(전송률)에 대응하여 AAL 타입 5(1)로부터의 셀들을 선택 출력하며, ATM 헤더 부가부(HG1)는 멀티플렉서(MUX1)의 셀들에 필요한 채널 정보등을 부가한 후에 물리계층에 인가하는 구성을 가진다.

한편, 상술한 바와 같이 AAL 타입 5를 통하여 ATM 셀을 송신하기 위한 송신부의 개념은 확립되어 있으나, 그 구체적인 하드웨어에 대한 구성은 제시되고 있지 않은 실정이며, AAL 타입 5 층에서 CPCS 및 SAR 기능을 동시에 행하므로써 구성이 복잡하다는 문제가 있었다.

## 발명이 이루고자 하는 기술적 과제

본 발명은 이러한 실정을 감안하여 안출한 것으로서, 본 발명의 목적은 AAL 타입 5를 통한 ATM 셀의 전송이 가능케 한 AAL 5의 ATM 셀 전송 장치를 제공하는데 있다.

본 발명의 다른 목적은 AAL 타입 5를 통한 ATM 셀의 전송이 가능케 한 AAL 타입 5의 ATM 셀 전송 방법을 제공하는데 있다.

## 발명의 구성 및 작용

이러한 목적을 달성하기 위한 본 발명은, 비동기 전송 모드 어댑테이션 층 타입 5의 ATM 셀 전송 장치로서, 전송을 위한 데이터들이 내부 패킷 버퍼들에 저장되어 있으며, 독출 요구된 패킷 버퍼내의 데이터들을 송신하는 호스트와; 상기 호스트의 패킷 버퍼들에 대한 정보들이 저장되어 있는 로컬 메모리와; 다수의 레이트 큐들이 저장되어 있으며, 상기 레이트 큐들은 지정된 계수값까지 내부 클럭을 계수하여 전송 요구 신호를 출력하는 레이트 큐 로직 회로와; 상기 로컬 메모리에 저장된 정보들을 이용하여 상기 레이트 큐에 대응하는 전송 속도로 전송하기 위한 패킷 버퍼들을 레이트 큐 및 전송 채널별로 상호 링크시키는 링크 제어 회로와; 상기 전송 요구 신호가 인가되면, 전송 요구 신호를 출력한 레이트 큐에 대응하여 링크된 상기 패킷 버퍼들중 상이한 전송 채널을 갖는 패킷 버퍼들에 대하여 순차적으로 독출 요구를 행하여, 독출 완료된 상기 패킷 버퍼들에 대하여는 상기 링크로부터 소거시키는 총괄 제어 회로와; 상기 호스트로부터의 패킷 데이터들을 셀 단위로 조립하여 출력하는 셀 버퍼 회로와; 상기 셀 버퍼 회로로부터의 데이터들을 입력하여, 입력된 데이터들에 대하여 공통부 컨버전스 서브층 및 ATM 층에 대한 처리를 행한 후 출력하는 CS/ATM회로와; 상기 CS/ATM 회로의 출력을 물리계층의 입력에 맞도록 처리하여 송신하

는 물리층 인터페이스 회로를 구비한다.

본 발명은 또한, 로컬 메모리내에 전송하고자 하는 데이터가 저장되어 있는 호스트내 패킷 버퍼의 어드레스 영역, 인접 수평 디스크립터 영역(Next Horizontal Descriptor Address ; NHD) 및 인접 수직 디스크립터 영역(Next Vertical Descriptor Address ; NVD)영역을 갖는 디스크립터들과; 상기 패킷 버퍼가 전송되어야 하는 가상 채널 및 대응 레이트 큐가 저장되어 있으며, 서로 상이한 전송 시점을 갖는 레이트 큐들의 어드레스가 저장되어 있는 준비 큐들이 저장되어 있으며, 서로 상이한 전송 시점을 갖는 레이트 큐들은 각기 상이한 시작 디스크립터의 어드레스가 할당된 비동기 전송 모드 어댑터이션 층 타입 5의 ATM 셀 전송 장치내에서 상기 로컬 메모리내의 디스크립터들을 전송 시점에 따라 링크하는 방법으로서, 상기 준비 큐내의 디스크립터를 독출하는 제 1 디스크립터 독출 단계와; 상기 독출된 디스크립터내에 저장되어 있는 가상 채널 테이블 어드레스에 대응하는 가상 채널 테이블을 독취하고, 상기 가상 채널 테이블내에 저장된 상기 레이트 큐에 할당된 시작 디스크립터의 어드레스를 독취하는 제 2 디스크립터 독출 단계와; 상기 제 1 및 제 2 디스크립터 독출 단계에서 독출한 상기 디스크립터들의 가상 채널 어드레스가 동일한가를 판단하는 단계와; 상기 제 1 및 제 2 디스크립터 독출 단계에서 독출한 상기 디스크립터들의 가상 채널 어드레스가 동일하면, 상기 레이트 큐에 할당된 디스크립터로부터 디스크립터의 NHD에 저장된 디스크립터들을 순차적으로 독출하고, 상기 NHD에 디스크립터의 어드레스가 저장되어 있지 않은 디스크립터에 상기 제 1 디스크립터 독출 단계에서 독출한 디스크립터의 어드레스를 저장하는 제 1 디스크립터 어드레스 저장 단계와; 상기 제 1 및 제 2 디스크립터 독출 단계에서 독출한 상기 디스크립터들의 가상 채널 어드레스가 상이하면, 상기 레이트 큐에 할당된 디스크립터로부터 디스크립터의 NVD에 저장된 디스크립터들을 순차적으로 독출하고, 상기 NVD에 디스크립터의 어드레스가 저장되어 있지 않은 디스크립터에 상기 제 1 디스크립터 독출 단계에서 독출한 디스크립터의 어드레스를 저장하는 제 2 디스크립터 어드레스 저장 단계를 구비한다.

본 발명은 또한, 로컬 메모리내에 전송하고자 하는 데이터가 저장되어 있는 호스트내 패킷 버퍼의 어드레스, 동일 레이트 큐 및 동일 채널이 할당된 디스크립터의 어드레스가 저장되는 인접 수평 디스크립터 영역(Next Horizontal Descriptor Address ; NHD) 및 동일 레이트 큐 및 상이한 채널이 할당된 디스크립터의 어드레스가 저장되는 인접 수직 디스크립터 영역(Next Vertical Descriptor Address ; NVD)영역을 갖는 디스크립터들과, 상기 패킷 버퍼가 전송되어야 하는 가상 채널 및 대응 레이트 큐가 저장되어 있는 가상 채널 테이블들과, 서로 상이한 전송 시점을 갖는 레이트 큐들은 각기 상이한 시작 디스크립터의 어드레스가 할당된 비동기 전송 모드 어댑터이션 층 타입 5의 ATM 셀 전송 장치내에서 상기 NHD 및 NVD내를 통하여 링크된 디스크립터를 이용하여 상기 패킷 버퍼내의 데이터들을 ATM 셀화 하기 위하여 독출하는 방법으로서, 상기 레이트 큐들중 하나로부터 전송 요구가 있는가를 판단하는 전송 요구 판단 단계와; 상기 레이트 큐로부터 전송 요구가 있으면, 상기 레이트 큐에 대응하는 시작 디스크립터내에 저장된 어드레스에 대응하는 패킷 버퍼의 데이터 전송을 상기 호스트에 요구하는 데이터 전송 요구 단계와; 상기 호스트로부터 전송된 패킷 데이터들에 해당 헤더 및 트레일러를 부가하여 ATM 셀화한 후 물리 전송 매체로 전송하는 ATM 셀화 단계와; 상기 데이터 전송이 완료된 패킷 버퍼의 어드레스를 지정하는 상기 디스크립터의 링크를 로컬 메모리로부터 소거시키는 디스크립터 소거 단계와; 상기 전송이 완료된 디스크립터의 NVD내에 어드레스가 존재하는지 판단하는 NVD 판단 단계와; 상기 NVD내에 어드레스가 존재하면, 해당 어드레스의 디스크립터를 독출하여 상기 데이터 전송 요구 단계로 귀환하는 귀환 단계를 구비한다.

이하, 본 발명의 일실시예를 첨부된 도면을 참조하여 상세히 설명한다.

도 2는 본 발명에 따른 AAL 5의 ATM 셀 전송 장치의 개략 블럭도로서, 본 발명의 장치는 링크 제어 회로(10) 및 총괄 제어 회로(20)에 의하여 호스트(30)의 패킷 데이터들을 ATM 셀로서 송신하게 된다.

즉, 호스트(30)는 내부 메모리상에 패킷 버퍼를 형성하고, 이 패킷 버퍼내에 AAL 타입 5로 전송할 패킷 데이터들을 저장하고 있으며, 링크 제어 회로(10)는 호스트(30)의 패킷 버퍼내에 저장된 패킷 데이터들이 전송되어야 하는 전송 채널 및 전송 속도에 따른 링크를 구성하고, 총괄 제어 회로(20)는 이 링크에 대응하여 호스트(30)내 패킷 버퍼로부터 패킷 데이터들을 독출하여 ATM 셀을 형성한 후에 전송하는 과정을 행한다.

이러한 구성을 상세하게 설명하면 다음과 같다.

호스트 억세스 제어 회로(40)는 호스트(30)와 연결되어 있으며, 호스트(30)의 제어에 따라 데이터들을 레지스터 회로(50) 및 로컬 메모리(60)에 저장 및 독출하게 구성되어 있다. 즉, 호스트 억세스 제어 회로(40)는 호스트 어드레스 버스, 호스트 데이터 버스 및 호스트 데이터 콘트롤 버스를 통하여 호스트(30)와 연결되어 있으며, 호스트(30)로부터 인가되는 콘트롤 신호에 따라 어드레스 신호에 대응하는 레지스터 회로(50) 및 로컬 메모리(60)의 소정 어드레스에 데이터 버스의 데이터들을 기록하거나, 소정 어드레스의 데이터들을 독출하여 호스트(30)에 인가하는 구성을 가지고 있다.

여기서, 호스트 억세스 제어 회로(40)를 통하여 로컬 메모리(60)에 저장되는 호스트(30)의 데이터들은 패킷 데이터들이 저장되어 있는 호스트 메모리상의 패킷 버퍼의 시작 어드레스, 길이 및 관련 정보가 된다.

한편, 호스트(30)의 데이터가 저장되는 로컬 메모리(60)는 도 3과 같이 4 개의 블럭(Descriptor Table) 테이블(Descriptor Table) 영역, 가상 채널(Virtual Channel) 테이블 영역, 준비 큐(Ready Queue) 영역 및 완료 큐(Complete Queue) 영역으로 구성되며, 이 영역들은 디스크립터 테이블 베이스 어드레스, 가상 채널 테이블 베이스 어드레스 및 큐 베이스 어드레스로 구분된다.

여기서, 디스크립터 테이블 영역내에는 다수개의 디스크립터(Des 1-Des n)들이 어드레스별로 저장되어 있으며, 가상 채널 테이블 영역내에는 다수의 가상 채널 테이블(VCT 1-VCT n)들이 어드레스 별로 저장되어 있다.

또한, 준비 큐 영역내에는 디스크립터(Des 1-Des n)들의 어드레스가 저장되며, 이 준비 큐 영역내의 디스크립터(Des 1-Des n)들은 후술하는 바와 같이 전송이 요구되는 디스크립터들을 의미한다. 또한, 완료

큐 영역내에는 디스크립터(Des 1-Des n)들의 어드레스가 저장되어, 이 원료 큐 영역내의 디스크립터(Des 1-Des n)들은 후술하는 바와 같이 전송이 수행된 디스크립터들(Requested Descriptor)을 의미한다.

도 4 및 도 5에는 디스크립터(Des 1-Des n) 및 가상 채널 테이블(VCT 1-VCT n)의 포맷이 도시되어 있다. 도 4는 디스크립터 포맷을 도시한 도면으로서, 디스크립터(Des 1-Des n)내에는 패킷 데이터가 저장되어 있는 패킷 버퍼의 시작 어드레스, 전송하고자 하는 패킷 버퍼의 길이를 나타내는 패킷 버퍼 길이, CPCSPDU(Protocol Data Unit)의 데이터 길이를 나타내는 누적 길이 및 디스크립터 모드가 포함된다. 여기서 디스크립터 모드는 셀 전송에 사용되는 비트들을 포함하며, 패킷의 타입 및 셀의 헤더에 들어가는 PTI 값 그리고 CPCSPDU의 마지막 패킷인지의 여부를 나타내는 비트가 포함된다. 또한, 디스크립터(Des 1-Des n)에는 인접 수직 디스크립터 어드레스(Next Vertical Descriptor Address : NVD라 함), 수평 디스크립터 어드레스(Next Horizontal Descriptor Address : NHD라 함), 독취 바이트 길이 및 가상 채널 테이블 어드레스(VCT 1-VCT n들중의 하나)가 포함되어 있다. 여기서, 상술한 패킷 버퍼 시작 어드레스, 패킷 버퍼 길이, 누적 길이, 디스크립터 모드 및 가상 채널 테이블 어드레스내의 정보들은 상술한 바와 같이 호스트 억세스 제어 회로(40)를 통하여 로컬 메모리(60)에 저장되는 호스트(30)의 정보들이며, NVD, NHD는 상술한 링크 제어 회로(10)의 제어에 따라 저장되고, 독취 바이트 길이 정보는 총괄 제어 회로(20)의 제어에 따라 저장되는 정보이다.

링크 제어 회로(10)에 의하여 저장되는 NVD는 후술하는 바와 같이 다수 디스크립터(Des 1-Des n)들중에서 레이트 큐 로직 회로(70)내 동일한 레이트 큐가 할당되나, 상이한 가상 채널을 가지는 디스크립터(Des 1-Des n)의 어드레스를 의미하며, NHD는 다수 디스크립터(Des 1-Des n)들중에서 레이트 큐 로직 회로(70)내 동일한 레이트 큐가 할당되고, 동일한 가상 채널을 가지는 디스크립터(Des 1-Des n)의 어드레스를 의미한다. 이에 대하여는 상세히 후술한다.

도 5는 가상 채널 테이블(VCT 1-VCT n)의 포맷으로서, 가상 채널 테이블(VCT 1-VCT n)내에는 호스트(30)의 버퍼에 저장되어 소정 해당 채널로 전송되는 패킷들을 ATM 셀화할 때에 필요한 ATM 셀 헤더 정보 영역, 후술하는 레이트 큐(Rate Queue) 로직 회로(70)내의 소정 레이트 큐(레이트 큐 로직 회로(70)내에는 소정 갯수의 레이트 큐가 형성되며, 이 레이트 큐들은 후술하는 바와 같이 하나의 클럭을 서로 다른 계수값을 가지고 계수하여 설정된 계수값에 도달하면 셀의 전송 요구 신호를 출력한다.)에 대하여 어느 주기로 전송 서비스를 행할 것인가를 결정하는 계수값 영역과 설정값 영역, CRC 결과값 저장 영역(CPCSPDU의 모든 데이터에 대하여 CRC를 계산하여야 하므로 애번 셀을 전송할 때마다 부분적인 CRC 데이터를 계산하여 저장한다.), 해당 채널을 통하여 전송되는 데이터가 헤더를 첨가하여 전송되는 데이터인지 또는 헤더 없이 호스트로부터 전달받은 그대로 전송할 것인지를 알리는 헤더 부가 여부 알림 영역(RCell), 해당 채널의 전송 속도가 레이트 큐 로직 회로(70)의 어느 레이트 큐에 속하는지를 알리는 레이트 큐 번호 영역, 시작 디스크립터 번호 및 종료 디스크립터 번호 영역이 포함된다.

여기서, 시작 디스크립터 번호 및 종료 디스크립터 번호 영역은 후술하는 바와 같이 링크 제어 회로(10)의 제어에 의하여 저장된다.

로컬 메모리(60)는 메모리 억세스 콘트롤 회로(80)의 제어에 따라 호스트 억세스 제어 회로(40), 링크 제어 회로(10) 그리고 총괄 제어 회로(20)의 데이터들을 독취 및 저장한다 즉, 호스트 억세스 제어 회로(40), 링크 제어 회로(10) 그리고 총괄 제어 회로(20)가 각기 로컬 메모리(60)내에 데이터를 저장 및 독취할 필요가 있으나, 이를 회로(40, 10, 20)들이 각자 데이터를 저장 및 독취하고자 할 경우에는 충돌이 발생하게 되는 바, 메모리 억세스 콘트롤 회로(80)는 이를 회로(40, 10, 20)들로부터 요구 신호를 받아 이들중 하나만이 로컬 메모리(60)내에 데이터를 저장 및 독취케 허가하고, 허가된 회로(40, 10, 20)로부터 동작 원료의 신호가 인가되어야 다른 회로(40, 10, 20)에 대하여 로컬 메모리(60)내의 데이터 저장 및 독취를 허가하도록 구성하였다.

링크 제어 회로(10)에는 레지스터 회로(50)가 연결되어 있으며, 레지스터 회로(50)내에는 링크 제어 회로(10), 총괄 제어 회로(20) 및 호스트(30)의 동작시에 필요로 저장되는 다수개의 레지스터들이 구성된다. 즉, 레지스터 회로(50)내에는 레이트 큐 로직 회로(70)내 레이트 큐들이 계수하여야 하는 계수값들이 저장되는 레이트 큐용 레지스터를 포함하고, 로컬 메모리(60)내의 디스크립터 테이블 영역, 채널 가상 채널 테이블, 준비 큐 영역 및 완료 큐 영역의 베이스 어드레스가 저장되는 베이스 어드레스 레지스터들을 포함하여, 이를 테이블내에서 저장 및 독취할/한 어드레스를 지정하는 포인터 어드레스 레지스터를 포함한다. 또한, 레지스터 회로(50)는 후술하는 바와 같이 레이트 큐 로직 회로(70)내 각 레이트 큐들의 전송률을 전송을 개시하여야 하는 로컬 메모리(60)내 디스크립터(Des 1-Des n)의 어드레스가 레이트 큐별로 저장되어 있는 레이트 큐별 시작 디스크립터 번지 저장용 레지스터를 포함한다. 이러한 레이트 큐별 시작 번지 디스크립터 번지에 대하여는 상세히 후술한다.

한편, 레이트 큐 로직 회로(70)내에는 상술한 바와 같이 다수개의 레이트 큐들이 구성되어 있으며, 이 레이트 큐들은 내부 클럭 신호를 각각 계수하되, 레지스터 회로(50)내 레이트 큐용 레지스터들에 저장되어 있는 계수값에 대응하는 클럭이 계수되면 전송 서비스 요구 신호를 총괄 제어 회로(20)에 인가하도록 구성되어 있다. 여기서, 레이트 큐용 레지스터들은 레이트 큐별로 서로 다른 계수값이 저장되어 있는 바, 레이트 큐별로 전송 서비스 요구 신호가 인가되는 시점은 서로 상이하게 된다.

패킷 데이터 변환 회로(90)는 패킷 데이터 버스 및 패킷 데이터 콘트롤 버스를 통하여 호스트(30)와 연결되어 있으며, 총괄 제어 회로(20)의 제어에 따라 호스트(30)내 패킷 버퍼의 패킷 데이터를 독취하여 셀 버퍼 회로(110)에 인가하도록 구성되어 있다. 즉, 패킷 데이터 변환 회로(90)는 총괄 제어 회로(10)로부터 패킷 데이터가 저장되어 있는 패킷 버퍼의 어드레스, 길이 및 요청 신호를 인가받아 이를 호스트(30)에 인가하고, 이러한 정보에 의하여 호스트(30)가 독취한 패킷 데이터를 셀 버퍼 회로(110)에 인가하는 것이다.

셀 버퍼 회로(110)는 총괄 제어 회로(20)로부터의 모드 신호에 따라 패킷 데이터 변환 회로(90)로부터의 데이터들을 바이트 단위로 재배치하며, 재배치된 데이터들을 1셀단위 즉, 48 바이트의 단위로 출력한다.

즉, 후술하는 CS/ATM 회로(120)에서는 입력 데이터를 1셀 단위로 처리하나, 호스트(30)로부터 독출되는 패킷 데이터들은 일반적으로 32비트 단위이므로 이를 패킷 데이터를 바이트 단위로 재배치하고, CS/ATM 회로(120)부터의 독취 신호에 따라 재배치된 패킷 데이터들을 셀 단위로 출력한다. 따라서, CS/ATM 회로는 SAR기능을 동시에 행함을 알 수 있다.

셀 버퍼 회로(110)로부터 바이트 단위의 데이터를 입력하는 CS/ATM 회로(120)는 CS 층 및 ATM 층의 기능을 행하게 된다. 여기서, CS/ATM 회로(120)가 처리하는 셀 데이터는 두 가지 종류로 구분할 수 있다. 즉, 일반적인 셀 데이터와 CPCS-POU의 마지막 부분인 셀 데이터로 구분할 수 있으며, 이러한 셀 데이터의 종류에 따라 CS/ATM 회로(120)는 셀 데이터를 상이하게 처리한다.

일반적인 셀 데이터의 경우에는 총괄 제어 회로(20)로부터 ATM 헤더 및 CRC 중간값을 입력 후에 셀 버퍼 회로(110)로부터 셀 데이터를 수신하여 수신된 셀 데이터의 CRC값을 계산한다. 그리고, 수신된 셀 데이터에 ATM 헤더를 부가한 후에 물리층 인터페이스 회로(130)로 전송하는 한편, 계산된 CRC 값을 총괄 제어 회로(20)로 전송하므로써 수신 셀 데이터에 대한 처리가 종료하였음을 알린다.

이에 반하여 CPCS-POU의 최종 부분에 대응하는 셀 데이터의 경우에는 총괄 제어 회로(20)로부터 CPCS-PDU의 최종 부분임을 지시받고, ATM 헤더와 CRC계산의 중간값을 전달받은 후에 셀 버퍼 회로(110)로부터 셀 데이터를 수신한다. 그리고, 수신된 셀 데이터로부터 CPCS-POU의 PAD(Padding : 데이터 길이를 일정하게 유지하기 위하여 삽입하는 무의미한 데이터) 데이터의 길이를 계산하여 셀데이터에 첨부하고, 총괄 제어 회로(20)로부터 CPCS-PDU의 최종 길이를 전달받아 셀 데이터에 부가한다. 또한, CS/ATM 회로(120)는 CRC를 계산하여 셀 데이터에 첨부하는 한편, ATM 헤더를 부가하여 물리층 인터페이스 회로(130)에 전송하도록 구성되어 있다.

상술한 CS/ATM 회로(120)에 의하여 셀 데이터들은 ATM 셀로 변환되어 물리층 인터페이스 회로(130)에 인가되며, 물리층 인터페이스 회로(130)는 물리층 전송 매체에 대응하여 ATM 셀을 처리한 후에 전송한다.

다음으로 로컬 메모리(60)내의 태이블들을 이용하여 디스크립터 링크를 형성하는 링크 제어 회로(10)의 구성을 설명하면 다음과 같다.

도 6에는 링크 제어 회로(10)의 작동 흐름도가 도시되어 있다.

도시된 바와 같이 링크 제어 회로(10)는 총괄 제어 회로(20)로부터 구동 개시 신호(LM\_Start)가 인가될 때에 구동을 개시하고(단계(S1), 레지스터 회로(50)에 구성되는 포인터 어드레스 레지스터의 독취 포인터 및 저장 포인터를 보고 준비 큐에 등록된 디스크립터(Des 1-Des n)가 있는가를 판단한다(S2). 단계(S2)의 판단 결과, 등록된 디스크립터(Des 1-Des n)가 존재하지 않은 경우에는 모든 과정을 종료하나, 등록 디스크립터(Des 1-Des n)가 존재하는 경우에는 등록 디스크립터(Des 1-Des n)의 어드레스를 독취한다(S3).

그리고, 링크 제어 회로(10)는 단계(S4)로 진행하여 단계(S3)에서 독취된 어드레스에 대응하는 디스크립터(Des 1-Des n)의 가상 채널 태이블 영역에 저장된 가상 채널 태이블 어드레스를 독취하고, 이 가상 채널 태이블 어드레스에 대응하는 가상 채널 태이블(VCT 1-VCT n)의 정보를 독취한다(S4). 이 가상 채널 태이블(VCT 1-VCT n)내에는 레이트 큐 로직 회로(70)내 레이트 큐의 번호 영역이 존재하는 바, 링크 제어 회로(10)는 이 레이트 큐 번호 영역에 저장된 레이트 큐 번호에 대응하는 레이트 큐의 레이트 큐별 시작 디스크립터 번지 저장용 레지스터에 저장되어 있는 어드레스(이 어드레스는 디스크립터(Des 1-Des n)의 어드레스를 의미한다.)를 독취한다(S5).

여기서, 레이트 큐별 시작 디스크립터 번지 저장용 레지스터내에 어드레스가 저장되어 있는 경우와 저장되어 있지 않은 경우가 있는 바, 링크 제어 회로(10)는 단계(S6)에서 어드레스가 저장되어 있는 상태인가를 판단하여 저장되어 있지 않은 경우에는 단계(S7)로 진행한다.

단계(S7)에서 링크 제어 회로(10)는 단계(S3)에서 독취한 디스크립터(Des 1-Des n)의 어드레스를 레이트 큐별 시작 디스크립터 번지 저장용 레지스터에 저장하는 한편, 독취한 가상 채널 태이블(VCT 1-VCT n)의 시작 디스크립터 어드레스 영역에도 저장한다(S8).

그러나, 단계(S6)의 판단 결과, 레이트 큐 시작 디스크립터 번지 저장용 레지스터내에 어드레스가 저장되어 있는 경우에 링크 제어 회로(10)는 단계(S9)로 진행하여, 저장된 어드레스의 디스크립터(Des 1-Des n)를 독출한다. 그리고, 링크 제어 회로(10)는 이 독출된 디스크립터(Des 1-Des n)의 가상 채널 태이블 어드레스 영역에 저장된 가상 채널 태이블(VCT 1-VCT n)의 어드레스가 단계(S3)에서 독출한 가상 채널 태이블(VCT 1-VCT n)의 어드레스와 동일한가를 판단한다(S10).

단계(S10)의 판단 결과, 가상 채널 태이블(VCT 1-VCT n)의 어드레스가 동일하면 링크 제어 회로(10)는 단계(S9)에서 독출한 디스크립터(Des 1-Des n)의 NHD내의 어드레스가 '0'(여기서, 0의 의미는 어드레스가 저장되어 있지 않은 상태를 의미한다.)인가를 판단한다(S11).

단계(S11)의 판단 결과, NHD내의 어드레스가 '0'이 아닌 경우에 링크 제어 회로(10)는 NHD에 기록된 어드레스의 디스크립터(Des 1-Des n)를 독출하고(S12). 단계(S11)로 귀환하므로써 NHD에 '0'이 기록된 디스크립터(Des 1-Des n)가 경출될 때까지 상기 과정(S11,S12)을 계속적으로 행하게 된다.

단계(S11)의 판단 결과, NHD에 '0'이 기록되어 있는 디스크립터(Des 1-Des n)가 경출되면, 링크 제어 회로(10)는 이 디스크립터(Des 1-Des n)의 NHD에 단계(S3)에서 독출한 디스크립터(Des 1-Des n)의 어드레스를 저장한다(S13).

즉, 링크 제어 회로(10)는 단계(S3)에서 준비 큐 태이블에 등록된 디스크립터(Des 1-Des n)를 독출하고, 이 독출된 디스크립터(Des 1-Des n)에 할당된 레이트 큐의 번호를 가상 채널 태이블(VCT 1-VCT n)로부터 인지하고, 할당된 레이트 큐의 전송 속도로 전송할 최초의 디스크립터(Des 1-Des n)를 레이트 큐별

시작 디스크립터 번지 저장용 레지스터로부터 독출한다. 그리고, 독출한 두개의 디스크립터(Des 1-Des n)들에 할당된 가상 채널이 동일한 경우에는 할당된 레이트 큐의 전송 속도로 전송할 최초의 디스크립터(Des 1-Des n)의 NHD에 기록된 디스크립터(Des 1-Des n)를 독출하고, 이 디스크립터(Des 1-Des n)의 NHD에 기록된 디스크립터(Des 1-Des n)를 독출하는 과정을 연속적으로 수행한다(S11-S12). 여기서, 과정(S11-S12)의 수행 중 독출된 디스크립터(Des 1-Des n)의 NHD에 디스크립터 어드레스가 저장되어 있지 않은 경우에는 단계(S3)에서 준비 큐 테이블로부터 독출한 디스크립터(Des 1-Des n)의 어드레스를 이 NHD(과정(S11-S12)의 수행에 의하여 어드레스가 기록되어 있지 않은 디스크립터(Des 1-Des n의 NHD)에 기록하는 것이다.

따라서, 디스크립터(Des 1-Des n)의 NHD내에는 동일한 레이트 큐가 할당되고, 동일한 가상 채널을 갖는 디스크립터(Des 1-Des n)의 번지가 저장되는 것이다.

한편, 단계(S10)의 판단 결과, 가상 채널 테이블(VCT 1-VCT n)의 어드레스가 상이하면, 링크 제어 회로(10)는 단계(S9)에서 독출한 디스크립터(Des 1-Des n)의 NVD내 어드레스가 '0'인가를 판단한다(S14).

단계(S11)의 판단 결과, NVD에 '0'이 아닌 다른 디스크립터(Des 1-Des n)의 어드레스가 기록되어 있으면 링크 제어 회로(10)는 단계(S9)로 귀환하여 해당 디스크립터(Des 1-Des n)를 독출하고, 독출된 디스크립터(Des 1-Des n)의 가상 채널 테이블 어드레스가 상이한 경우에는 단계(S14)로 귀환하므로써 디스크립터(Des 1-Des n)의 NVD에 '0'이 기록된 디스크립터(Des 1-Des n)가 검출될 때까지 상기 과정(S9, S10, S14)을 연속적으로 수행하는 것이다.

한편, 단계(S14)의 판단 결과, NVD에 '0'이 기록되어 있는 디스크립터(Des 1-Des n)가 검출되면, 링크 제어 회로(10)는 이 디스크립터(Des 1-Des n)의 NVD에 단계(S3)에서 독출한 디스크립터(Des 1-Des n)의 어드레스를 저장한다(S15).

즉, 링크 제어 회로(10)는 단계(S3)에서 준비 큐 테이블에 등록된 디스크립터(Des 1-Des n)를 독출하고, 이 독출된 디스크립터(Des 1-Des n)에 할당된 레이트 큐의 번호를 가상 채널 테이블(VCT 1-VCT n)로부터 인지하고, 할당된 레이트 큐의 전송 속도로 전송할 최초의 디스크립터(Des 1-Des n)를 레이트 큐별 시작 디스크립터 번지 저장용 레지스터로부터 독출한다. 그리고, 독출한 두개의 디스크립터(Des 1-Des n)들에 할당된 가상 채널이 상이한 경우에는 할당된 레이트 큐의 전송 속도로 전송할 최초의 디스크립터(Des 1-Des n)의 NVD에 기록된 디스크립터(Des 1-Des n)를 독출하고, 이 디스크립터(Des 1-Des n)의 NVD에 기록된 디스크립터를 독출하는 과정을 연속적으로 수행한다(S9, S10, S14). 여기서, 과정(S11-S12)의 수행 중 독출된 디스크립터(Des 1-Des n)의 NVD에 디스크립터 어드레스가 저장되어 있지 않은 경우에는 단계(S3)에서 준비 큐 테이블로부터 독출한 디스크립터(DES1-DESn)의 어드레스를 이 NVD(과정(S9, S10, S14))의 수행에 의하여 어드레스가 기록되어 있지 않은 디스크립터(Des 1-Des n)의 NVD에 기록하는 것이다.

따라서, 디스크립터(Des 1-Des n)의 NVD내에는 동일 레이트 큐 및 상이한 가상 채널을 갖는 디스크립터(Des 1-Des n)의 번지가 저장되는 것이다.

도 7에는 상술한 과정을 통하여 디스크립터(Des 1-Des n)의 NHD 및 NVD에 기록되는 디스크립터(Des 1-Des n)의 어드레스에 의하여 디스크립터(Des 1-Des n)들이 상호 링크되는 상태가 도시되어 있다.

도시된 바와 같이 각 레이트 큐에 대응하는 레이트 큐 시작 디스크립터 번지 저장용 레지스터(R1-Rn)내에는 디스크립터(Des 1-Des n)의 시작 어드레스(A-1), (C-1)가 각각 저장되어 있다. 도 7에서의 어드레스 부호(A-1), (B-1)는 설명의 편의를 위한 것으로서, A, B등의 알파벳 문자는 해당 디스크립터에 할당된 가상 채널 테이블(VCT 1-VCT n)을 표시하기 위한 것이다.

도시된 바와 같이 레지스터(R1)내의 시작 어드레스에 대응하는 디스크립터(Des A-1)내의 NHD에는 A-2의 어드레스가, 디스크립터(Des A-2)의 NHD에는 A-3의 어드레스가 기록되어 있다. 여기서, 상술한 바와 같이 디스크립터(Des A-1, A-2, A-3)들은 동일 레이트 큐 및 동일한 채널(A)이 할당되어 있음을 알 수 있다.

한편, 디스크립터(Des A-1)의 NVD내에는 디스크립터(B-1)의 어드레스가 저장되어 있고, 디스크립터(Des B-1)의 NVD에는 '0'인 반면에 NHD에는 디스크립터(Des B-2)의 어드레스가 저장되어 있다. 따라서, 디스크립터(Des B-1, B-2)는 디스크립터(Des A1, A2, A3)와는 동일한 레이트 큐가 할당되어 있으나, 가상 채널(VP)은 (B)로 설정되어 있음을 알 수 있다.

상술한 설명으로부터 레지스터(R2)내의 시작 어드레스(C-1)에 의하여 지정된 디스크립터((Des C-1)와 디스크립터(Des C-2)는 동일한 레이트 큐와 가상 채널(C)이 설정된다. 그러나, 디스크립터(Des D-1, D-2, D-3)는 디스크립터(Des C-1)와 동일한 레이트 큐가 설정되었으나 가상 채널이 상이하며, 디스크립터(Des E-1) 역시 디스크립터(Des C-1, C-2, D-1, D-2, D-3)와 동일한 레이트가 설정되나 그 가상 채널이 상이함을 알 수 있다.

단계(S13, S15)의 수행에 의하여 디스크립터(Des 1-Des n)의 NHD 및 NVD에 대응 디스크립터(Des 1-n)를 저장한 링크 제어 회로(10)는 상술한 단계(S8)로 진행하여 단계(S3)에서 독취한 디스크립터(Des 1-n)에 대응하는 가상 채널 테이블(VCT 1-VCT n)의 종료 디스크립터 번호 영역내에 단계(S3)의 디스크립터(Des 1-Des n)의 어드레스를 기록하고 모든 과정을 종료한다. 한편, 단계(S3)의 디스크립터(Des 1-Des n)내 NVD 및 NHD는 각각 '0'의 번지를 저장하는 상태가 될 것이다. 여기서, 가상 채널 테이블의 종료 디스크립터 번호 영역내의 어드레스는 상술한 바와 같이 단계(S7)의 수행 후에 저장된다.

이러한 과정을 수행 후에 링크 제어 회로(10)는 해당 과정을 수행하였음을 알리는 신호(LM\_done)를 출력하게 된다.

한편, 레이트 큐 로직 회로(70)내의 레이트 큐들은 상술한 바와 같이 서로 상이한 시점에서 전송 서비스

요구 신호를 출력하며, 총괄 제어 회로(20)는 이 전송 서비스 요구 신호를 인가한 레이트 큐에 대응하는 디스크립터(Des1-n)의 패킷 데이터((이 데이터는 상술한 바와 같이 호스트(30)의 패킷 버퍼내에 저장되어 있다.)들을 ATM 셀화하여 전송하므로써 기설정된 전송율로 전송이 가능하다.

도 8에는 이러한 과정을 행하는 총괄 제어 회로(20)의 작동 흐름도가 도시되어 있다.

도시된 바와 같이 총괄 제어 회로(20)는 링크 제어 회로(10)에 상술한 구동 신호 즉, LM\_Start 신호를 인가한 후(S20)에 링크 제어 회로(10)로부터 종료 신호(LM\_Done)가 인가되어야(S21) 구동을 개시한다.

즉, 총괄 제어 회로(20)는 링크 제어 회로(10)로부터 종료 신호(LM\_Done)가 인가되면, 레이트 큐 로직 회로(70)내의 레이트 큐로부터 전송 서비스 요구 신호가 인가되는가를 판단한다(S22).

단계(S22)의 판단 결과, 전송 서비스 요구 신호가 인가되면 총괄 제어 회로(20)는 전송 서비스 요구 신호를 인가한 레이트 큐에 대응하는 레이트 큐 시작 디스크립터 번지 저장용 레지스터(R1-Rn)에 저장된 시작 어드레스를 독취하고, 이 시작 어드레스에 대응하는 디스크립터(Des 1-Des n)에 기록된 어드레스의 가상 채널 테이블(VCT 1-VCR n) 정보를 독취한다(S23).

이 가상 채널 테이블(VCT 1-VCT n)내에는 상술한 바와 같이 계수값 영역과 설정값 영역이 존재하며, 총괄 제어 회로(20)는 이 계수값 영역의 계수값과 설정값 영역의 설정값이 동일한 경우에 상기 전송 서비스 요구 신호에 대응하여 전송 서비스를 행하게 된다. 즉, 총괄 제어 회로(20)는 단계(S24)의 판단 결과, 계수값과 설정값이 상이한 경우에는 계수값을 1 증가시키나(S25), 계수값과 설정값이 동일한 경우에는 단계(S26)로 진행하여 후술하는 바와 같은 전송 서비스를 행하게 된다.

따라서, 각 레이트 큐의 전송 서비스 요구 신호의 전송 시점이 고정되어 있는 상태라 하여도, 가상 채널 테이블(VCT 1-VCT n)내의 설정값을 변화시키므로써 해당 디스크립터(Des 1-n)의 전송 시점을 변화시킬 수 있게 된다.

단계(S24)에서의 판단 결과, 계수값과 설정값이 동일한 경우에 총괄 제어 회로(20)는 호스트(30)로부터의 패킷 데이터의 수신 여부를 판단하게 된다(S26). 즉, 호스트(30)로부터 패킷 데이터를 수신하여 ATM 셀화하기 위하여 CPCS 패딩 과정(PAO를 포함하여 CPCS-PDU가 48바이트의 배수가 되도록 하는 트레일러 형성과정, 이 과정에 의한 트레일러 데이터들은 호스트(30)의 패킷 데이터와 무관하게 형성된다.)을 행하게 되며, 이 트레일러의 데이터에 의하여 호스트(30)로부터 패킷 데이터들을 수신할 필요가 없게 되는 경우가 발생한다.

총괄 제어 회로(20)는 단계(S26)의 판단 결과, 호스트(30)로부터 패킷 데이터를 수신할 필요가 있는 경우에는 단계(S27)로 진행하며, 호스트(30)로부터 패킷 데이터를 수신할 필요가 없는 경우에는 단계(S32)로 진행한다.

단계(S27)로 진행한 총괄 제어 회로(20)는 단계(S23)에서 독취한 디스크립터(Des 1-Des n)내에 저장된 패킷 버퍼 시작 어드레스 및 패킷 버퍼 길이등을 패킷 데이터 변환 회로(90)를 통하여 호스트(30)에 인가하므로써 이들에 대응하는 패킷 데이터의 전송을 요구한다.

즉, 호스트(30)는 패킷 데이터 변환 회로(90)를 통하여 인가된 패킷 버퍼 시작 어드레스 및 패킷 버퍼 길이에 의하여 대응 패킷 버퍼의 패킷 데이터를 독출하여 패킷 데이터 변환 회로(90)에 인가하며, 패킷 데이터 변환 회로(90)는 이 패킷 데이터들을 셀 버퍼 회로(110)에 인가하고 나서 기록 완료 신호를 총괄 제어 회로(20)에 인가하는 바, 총괄 제어 회로(20)는 기록 완료 신호가 인가되는가를 단계(S28)에서 판단하는 것이다.

한편, 총괄 제어 회로(20)는 단계(S27)에서 송신한 정보에 의하여 호스트(30)로부터 셀 버퍼 회로(110)에 인가한 패킷 데이터의 길이를 알 수 있으며, 이 패킷 데이터의 길이(비트 수)가 하나의 ATM 셀을 형성하여 송신이 가능한 길이인지 또는 부족한지를 알 수 있다.

따라서, 총괄 제어 회로(20)는 단계(S29)에서 현재 수신된 패킷 데이터의 길이로써 하나의 ATM 셀을 형성할 수 있는가 즉, 48 바이트인가를 판단하여, ATM 셀의 형성이 가능한 경우에는 단계(S32)로 진행하나 그렇지 않은 경우에는 단계(S30)로 진행한다. 즉, ATM 셀을 형성하는데 있어서 현재 수신된 패킷 데이터의 길이가 모자라는 경우에 총괄 제어 회로(20)는 현재 수신된 패킷 데이터를 지정한 디스크립터(Des 1-Des n)를 도7의 링크 구조에서 소거시키고(S30), 단계(S31)로 진행한다. 단계(S31)에서 총괄 제어 회로(20)는 셀 버퍼 회로(110)에 수신된 패킷 데이터의 길이로서 ATM 셀의 형성이 가능한가를 다시 판단한 후에 ATM 셀의 형성이 불가능한 경우에는 단계(S41)로 진행한다.

단계(S41)에서 총괄 제어 회로(20)는 소거된 디스크립터(Des 1- Des n)의 NHD에 저장되어 있던 디스크립터(Des 1-Des n)를 독취하고(S41), 독취된 디스크립터(Des 1-n)에 저장되어 있던 패킷 버퍼 시작 어드레스 및 패킷 버퍼 길이등을 패킷 데이터 변환 회로(90)를 통하여 호스트(30)에 인가한다(S27). 이때, 호스트(30)로 전송하는 패킷 버퍼 길이는 ATM 셀을 형성하는데 필요한 길이(즉, 단계(S1)의 판단 결과, 소거된 디스크립터(Des 1-n)에 의하여 수신한 패킷 데이터로서 1 ATM 셀을 형성하는데 부족하였던 길이)로 한정하여 호스트(30)에 전송된다. 이와 같이 디스크립터(Des 1-n)내의 패킷 버퍼 시작 어드레스 및 한정된 패킷 버퍼 길이등을 송신한 후에 총괄 제어 회로(20)는 후술하는 바와 같이 송신한 패킷 버퍼 길이에 대응하여 디스크립터(Des 1-n)내 패킷 버퍼 시작 어드레스를 변경하여 저장한다(S35).

한편, 총괄 제어 회로(20)는 단계(S29)의 판단 결과 현재 수신된 패킷 데이터의 길이로써 하나의 ATM 셀을 형성할 수 있는 경우 및 단계(S26)의 판단 결과 호스트(30)로부터 패킷 데이터를 수신할 필요가 없는 경우에 단계(S32, S33)를 순차적으로 수행한다.

즉, 총괄 제어 회로(20)는 단계(S32)로 진행하여 가상 채널 테이블(VCT 1-VCT n) 및 디스크립터(Des 1-Des n)에 저장되어 있던 ATM 헤더, CRC의 중간값 및 전송 길이등에 대한 정보를 CS/ATM 회로(120)에 인가한 후에 구동 신호 즉 CS/ATM\_Start 신호를 인가한다.

상술한 정보에 의하여 CS/ATM 회로(120)는 CS층의 기능과 ATM층의 기능 즉, 헤더의 첨가 및 CPCS-PDU의 트레일러의 계산 및 첨가의 기능을 행한 후에 종료 신호 즉, CS/ATM\_Done 신호를 총괄 제어 회로(20)에 인가한다.

여기서, CS/ATM 회로(120)이 처리하는 패킷 데이터들은 다음과 같은 3가지 종류로 구분할 수 있다.

1. 현재 처리중인 패킷 데이터를 지시하는 디스크립터(Des 1-Des n)가 가리키는 패킷 버퍼내에 전송용 데이터가 더 이상 존재하지 않으며, 현재 전송된 데이터가 CPCS-PDU의 마지막 부분이 아닌 경우.
2. 현재 처리중인 패킷 데이터를 지시하는 디스크립터(Des 1-Des n)가 가리키는 패킷 버퍼내에 전송용 데이터가 더 이상 존재하지 않으며, 현재 전송된 데이터가 CPCS-PDU의 마지막 부분인 경우.
3. 마지막으로 현재 처리중인 패킷 데이터를 지시하는 디스크립터(Des 1-Des n)가 가리키는 패킷 버퍼내에 전송용 데이터가 더 존재하는 경우이다.

이러한 조건에 따라 총괄 제어 회로(20)가 행하는 작동은 상이하여야 하는 바, 총괄 제어 회로(20)는 다음과 같은 과정을 행하게 된다.

즉, 총괄 제어 회로(20)는 단계(S33)에서 상술한 CS/ATM\_Done 신호가 인가되는가를 판단하고, CS/ATM\_Done 신호가 인가되면 단계(S34)로 진행한다.

단계(S34)에서 총괄 제어 회로(20)는 현재 처리중인 패킷 데이터를 지시하는 디스크립터(Des 1-Des n)가 가르키는 패킷 버퍼내에 데이터가 더 존재하는가를 판단하여 존재하는 경우에는 단계(S35)로, 존재하지 않는 경우에는 단계(S36)로 진행한다.

단계(S35)로 진행한 총괄 제어 회로(20)는 이 경우가 단계(S41)의 수행 결과에 의한 것으로, 단계(S27)에서 송신한 패킷 버퍼 길이에 대응하여 디스크립터(Des 1-Des n)내 패킷 버퍼 시작 어드레스를 변경하여 저장하고 단계(S38)로 진행한다(S35).

그러나, 현재 처리중인 패킷 데이터를 지시하는 디스크립터(Des 1-n)가 가르키는 패킷 버퍼내에 데이터가 존재하지 않는 경우에 총괄 제어 회로(20)는 현재 처리중인 패킷 데이터가 CPCS-PDU의 마지막 부분인가를 판단하고(S36), 마지막 부분이 아닌 경우에는 상술한 단계(S30)로 진행하므로써 처리중인 패킷 데이터를 지정한 디스크립터(Des 1-Des n)를 소거시키고(S30) 상술한 단계(S31)로 진행한다.

한편, 단계(S36)의 판단 결과, 현재 처리중인 패킷 데이터가 CPCS-PDU의 마지막 부분인 경우에 CRC 계산을 종료하여야 하므로 총괄 제어 회로(20)는 단계(37)로 진행하여 CRC값을 리셋시키고 상술한 단계(S30)로 진행한다.

상술한 단계(S25, S35, S36)의 수행 후에 총괄 제어 회로(20)는 단계(S38)로 진행한다. 여기서, 단계(S25, S35, S36)들에 대한 수행 후의 상태는 디스크립터(Des 1-Des n)에 의하여 지정된 호스트(30)의 패킷 데이터들의 전송이 완료된 상태인 바, 총괄 제어 회로(20)는 전송된 패킷 데이터에 대한 가상 채널 태이블(VCT 1-VCT n)내에 변경된 내용 즉, 계수값, CRC값 등을 재기입한 후에 단계(S39)로 진행한다.

단계(S39)에서 총괄 제어 회로(20)는 전송이 완료된 디스크립터(Des 1-Des n)의 NVD를 독취하고, 이 NVD 내에 디스크립터(Des 1-Des n)의 어드레스가 저장되어 있는 경우에는 단계(S23)로 진행하여 상술한 과정을 되풀이하여 행하게 되나, NVD내에 어드레스가 저장되어 있지 않은 경우에는 모든 과정을 종료한다.

즉, 본 발명의 총괄 제어 회로(20)는 링크 제어 회로(10)로부터 LM\_done 신호가 인가되고, 레이트 큐로직 회로(70)내 소정 레이트 큐로부터 전송 요구 신호가 인가되면, 도 7에 도시된 링크 구조에 따라 해당 디스크립터(Des 1-Des n)들의 패킷 데이터들을 순차적으로 전송하는 것이다.

예컨대, 도 7의 링크 구조에서 레지스터(R2)에 대응하는 레이트 큐가 전송 요구 신호를 출력한 경우를 보면, 총괄 제어 회로(20)는 레지스터(R2)내에 저장된 디스크립터(Des C-1)의 패킷 데이터들을 호스트(30)로부터 독취하여 전송하고, 연속하여 디스크립터(Des C-1)의 NVD내에 저장된 디스크립터(Des 0-1)의 패킷 데이터들을 호스트(30)로부터 독취하여 전송하며, 다시 디스크립터(Des 0-1)의 NVD에 저장된 디스크립터(Des E-1)의 패킷 데이터들을 호스트(30)로부터 독취하여 전송한다. 여기서, 디스크립터(Des E-1)의 NVD내에는 디스크립터(Des 1-Des n)의 어드레스가 '0' 상태이므로 더 이상의 패킷 데이터들을 전송하지 않게 되며, 패킷 데이터들을 전송한 디스크립터(Des C-1, 0-1, E-1)들은 도 7의 링크 구조에서 소거된다. 그리고, 디스크립터(Des C-2, 0-2)의 패킷 데이터들은 레지스터(R2)에 대응하는 레이트 큐가 다시 전송 요구 신호를 총괄 제어 회로(20)에 인가할 때에 총괄 제어 회로(20)는 이 디스크립터(Des C-2, 0-2)의 패킷 데이터들을 호스트(30)로부터 독출하여 전송하게 될 것이다.

상술한 과정을 통하여 CS/ATM 회로(120)로부터 출력되는 데이터는 ATM 셀화 된 상태가 되고, 물리층 인터페이스 회로(130)는 이 ATM 셀들을 물리층 전송 매체에 대응하여 처리한 후에 전송하게 된다.

즉, 본 발명에서의 링크 제어 회로(10)는 호스트(30)의 패킷 버퍼에 대하여 전송 채널 및 레이트 큐들에 대응하는 링크를 형성하고, 총괄 제어 회로(20)는 이 링크에 대응하여 패킷 버퍼의 데이터들을 독출하여 AAL 타입 5 및 ATM 층 처리하여 출력하는 것이다.

#### 발명의 효과

이와 같이 본 발명에서는 호스트의 데이터들을 AAL 타입 5 처리 및 ATM 층 처리를 행하여 ATM 셀을 송신하기 위한 하드웨어 구성을 용이하게 실현하였다는 효과가 있다.

(57) 청구의 범위

**청구항 1**

비동기 전송 모드 어댑테이션 층 타입 5의 비동기 전송 모드(ATM) 셀 전송 장치로서,  
전송을 위한 패킷 데이터들이 내부 패킷 버퍼들에 저장되어 있으며, 독출 요구된 패킷 버퍼내의 데이터  
들을 송신하는 호스트와;

상기 호스트의 패킷 버퍼들에 대한 정보들이 저장되어 있는 로컬 메모리와;

다수의 레이트 큐들이 저장되어 있으며, 상기 레이트 큐들은 서로 상이하게 지정된 계수값까지 내부 클  
럭을 계수하여 서로 상이한 시점에서 전송 요구 신호를 출력하는 레이트 큐로직 회로와;

상기 로컬 메모리에 저장된 정보들을 이용하여 상기 레이트 큐에 대응하는 전송 속도로 전송하기 위한  
패킷 버퍼들을 레이트 큐 및 전송 채널별로 상호 링크시키는 링크 제어 회로와;

상기 전송 요구 신호가 인가되면, 전송 요구 신호를 출력한 레이트 큐에 대응하여 링크된 상기 패킷 버  
퍼들중 상이한 전송 채널을 갖는 패킷 버퍼들에 대하여 순차적으로 독출 요구를 행하며, 독출 요구된 상  
기 패킷 버퍼들에 대하여는 상기 링크로부터 소거시키는 총괄 제어 회로와;

상기 호스트로부터의 패킷 데이터들을 셀 단위로 조립하여 출력하는 셀 버퍼 회로와;

상기 셀 버퍼 회로로부터의 데이터들을 입력하여, 입력된 데이터들에 대하여 공통부 컨버전스 서브층 및  
ATM 층에 대한 처리를 행한 후 출력하는 CS/ATM회로와;

상기 CS/ATM 회로의 출력을 물리계층 처리하여 송신하는 물리층 인터페이스 회로를 구비하는 비동기 전  
송 모드 어댑테이션 층 타입 5의 ATM 셀 전송 장치.

**청구항 2**

제 1 항에 있어서,

상기 호스트와 연결되어 있으며, 상기 호스트로부터의 제어에 따라 패킷 버퍼에 대한 정보를 상기 로컬  
메모리에 저장 및 독출하는 호스트 억세스 제어 회로를 더 구비하는 비동기 전송 모드 어댑테이션 층 타  
입 5의 ATM 셀 전송 장치.

**청구항 3**

제 2 항에 있어서,

상기 호스트 및 상기 셀 버퍼 회로 사이에 구성되어 있으며, 상기 총괄 제어 회로의 제어에 따라 상기  
호스트에 패킷 버퍼에 대한 독출 요구 신호를 인가하며, 상기 호스트로부터의 패킷 데이터들을 상기 셀  
버퍼 회로에 인가하는 패킷 데이터 변환 회로를 더 구비하는 비동기 전송 모드 어댑테이션 층 타입 5의  
ATM 셀 전송 장치.

**청구항 4**

제 3 항에 있어서,

상기 호스트, 상기 총괄 제어 회로 및 상기 링크 제어 회로의 상기 로컬 메모리에 대한 억세스를 중재하  
는 메모리 억세스 콘트롤 회로를 더 구비하는 비동기 전송 모드 어댑테이션 층 타입 5의 ATM 셀 전송 장  
치.

**청구항 5**

제 4 항에 있어서, 상기 로컬 메모리는.

상기 패킷 버퍼에 대한 정보를 각각 저장하는 디스크립터들의 영역과;

상기 패킷 버퍼들내의 데이터들이 전송되어야하는 가상 채널에 대한 정보가 저장된 가상 채널 테이블들  
의 영역과;

상기 디스크립터들중에 전송이 요구된 디스크립터들의 어드레스가 저장된 준비 큐들의 영역과;

상기 디스크립터들중에 전송이 완료된 디스크립터들에 대한 어드레스가 저장된 완료 큐들의 영역을 구비  
하는 비동기 전송 모드 어댑테이션 층 타입 5의 ATM 셀 전송 장치.

**청구항 6**

제 5 항에 있어서, 상기 디스크립터는

상기 호스트가 전송하고자 하는 패킷이 저장되어 있는 패킷 버퍼의 시작 어드레스 저장 영역과;

상기 전송하고자 하는 패킷 버퍼의 길이를 나타내는 패킷 버퍼 길이 저장 영역과;

상기 공통부 컨버전스 서브층-PDU(Protocol Data Unit)의 데이터 길이를 나타내는 누적 길이 저장 영역  
과;

패킷의 타입, 셀의 헤더에 들어가는 PTI 값 및 CPCS-PDU의 마지막 패킷인지의 여부를 나타내는 비트를  
포함하여 셀 전송에 사용되는 비트들이 저장되는 디스크립터 모드 저장 영역과;

동일 레이트 큐가 할당되나, 상이한 가상 채널을 갖는 디스크립터의 어드레스가 저장되는 인접 수직 디

스크립터 어드레스 영역(Next Vertical Descriptor Address : NVD)과;

동일 레이트 큐가 할당되며, 동일 가상 채널을 갖는 디스크립터의 어드레스가 저장되는 인접 수평 디스크립터 영역(Next Horizontal Descriptor Address : NHD)과;

독취할 바이트 길이 정보를 저장하는 영역과;

상기 가상 채널 테이블들중 하나의 어드레스 저장 영역을 구비하는 비동기 전송 모드 어댑테이션 층 타입 5의 ATM 셀 전송 장치.

#### 청구항 7

제 6 항에 있어서, 상기 가상 채널 테이블은,

상기 전송되는 패킷들을 ATM 셀화할 때에 필요한 ATM 셀 헤더 정보 영역과;

상기 레이트 큐 로직 회로내의 소정 레이트 큐의 전송 서비스 요구 신호의 출력 횟수를 계수하여 저장하기 위한 계수값 영역과;

상기 서비스 요구 신호를 계수하여야하는 설정값이 저장되는 설정값 영역과;;

상기 패킷 데이터를 ATM 셀화하여 전송시 순환 중복 검사(Cyclic Redundancy Check : CRC)하여 결과값을 저장하는 CRC 결과값 영역과;

전송되는 상기 패킷 데이터가 헤더를 첨가하여 전송되어야 하는 데이터인지 또는 헤더 없이 호스트로부터 전달받은 그대로 전송할 것인지를 알리는 헤더 부가 여부 알림 영역과;

상기 패킷 데이터의 해당 채널 전송 속도가 상기 레이트 큐 로직 회로의 어느 레이트 큐에 속하는지를 알리는 레이트 큐 번호 영역과;

상기 디스크립터들중에 상기 레이트 큐의 전송 요구 신호에 따라 전송을 개시하여야 하는 버퍼를 지정하는 디스크립터의 어드레스를 저장하는 시작 디스크립터 번호 영역과;

상기 디스크립터들중에 상기 레이트 큐의 전송 요구 신호에 따라 전송을 종료하여야 하는 버퍼를 지정하는 디스크립터의 어드레스를 저장하는 종료 디스크립터 번호 영역을 구비하는 비동기 전송 모드 어댑테이션 층 타입 5의 ATM 셀 전송 장치.

#### 청구항 8

제 7 항에 있어서,

상기 레이트 큐 로직 회로내 레이트 큐들이 계수하여야 하는 계수값들이 저장되는 레이트 큐용 레지스터와;

상기 로컬 메모리내의 디스크립터 테이블 영역, 가상 채널 테이블 영역, 준비 큐 영역 및 완료 큐 영역의 베이스 어드레스가 저장되는 베이스 어드레스 레지스터와;

상기 디스크립터 테이블 영역, 가상 채널 테이블 영역, 준비 큐 영역 및 완료 큐 영역에서의 저장 및 독취할/한 어드레스를 지정하는 포인터 어드레스 레지스터와;

상기 레이트 큐 로직 회로내 각 레이트 큐들의 전송률로 전송을 개시하여야 하는 상기 디스크립터의 어드레스가 레이트 큐별로 저장하는 레이트 큐별 시작 디스크립터 번지 저장용 레지스터를 갖는 레지스터 회로를 더 구비하는 비동기 전송 모드 어댑테이션 층 타입 5의 ATM 셀 전송 장치.

#### 청구항 9

로컬 메모리내에 전송하고자 하는 패킷이 저장되어 있는 호스트내 패킷 버퍼의 어드레스 영역, 인접 수평 디스크립터 영역(Next Horizontal Descriptor Address : NHD) 및 인접 수직 디스크립터 영역(Next Vertical Descriptor Address : NVD)을 갖는 디스크립터들과, 상기 패킷 버퍼내 패킷이 전송되어야 하는 가상 채널 및 대응 레이트 큐가 저장되어 있는 가상 채널 테이블들과, 상기 디스크립터들의 어드레스가 저장되어 있는 준비 큐들이 저장되어 있으며, 서로 상이한 전송 시점을 갖는 레이트 큐들은 각기 상이한 시작 디스크립터의 어드레스가 할당된 비동기 전송 모드 어댑테이션 층 타입 5의 ATM 셀 전송 장치내에서 상기 로컬 메모리내의 디스크립터들을 전송 시점에 따라 링크하는 방법으로서,

상기 준비 큐내의 디스크립터를 독출하는 제 1 디스크립터 독출 단계와;

상기 독출된 디스크립터내에 저장되어 있는 가상 채널 테이블 어드레스에 대응하는 가상 채널 테이블을 독취하고, 상기 가상 채널 테이블내에 저장된 상기 레이트 큐에 할당된 시작 디스크립터의 어드레스를 독취하는 제 2 디스크립터 독출 단계와;

상기 제 1 및 제 2 디스크립터 독출 단계에서 독출한 상기 디스크립터들의 가상 채널 어드레스가 동일한가를 판단하는 단계와;

상기 제 1 및 제 2 디스크립터 독출 단계에서 독출한 상기 디스크립터들의 가상 채널 어드레스가 동일하면, 상기 레이트 큐에 할당된 디스크립터로부터 디스크립터의 NHD에 저장된 디스크립터들을 순차적으로 독출하고, 상기 NHD에 디스크립터의 어드레스가 저장되어 있지 않은 디스크립터에 상기 제 1 디스크립터 독출 단계에서 독출한 디스크립터의 어드레스를 저장하는 제 1 디스크립터 어드레스 저장 단계와;

상기 제 1 및 제 2 디스크립터 독출 단계에서 독출한 상기 디스크립터들의 가상 채널 어드레스가 상이하면, 상기 레이트 큐에 할당된 디스크립터로부터 디스크립터의 NVD에 저장된 디스크립터들을 순차적으로

독출하고, 상기 NVD에 디스크립터의 어드레스가 저장되어 있지 않은 디스크립터에 상기 제 1 디스크립터 독출 단계에서 독출한 디스크립터의 어드레스를 저장하는 제 2 디스크립터 어드레스 저장 단계를 구비하는 비동기 전송 모드 어댑테이션 총 타입 5의 ATM 셀 전송 방법.

#### 청구항 10

제 9 항에 있어서,

상기 제 2 디스크립터 독출 단계의 수행 결과, 상기 레이트 큐에 할당된 시작 디스크립터의 어드레스가 존재하지 않는 경우에는 상기 제 1 디스크립터 독출 단계에서 독출된 상기 디스크립터의 어드레스를 상기 레이트 큐에 시작 디스크립터 어드레스로서 할당하는 시작 디스크립터 어드레스 할당 단계를 더 구비하는 비동기 전송 모드 어댑테이션 총 타입 5의 ATM 셀 전송 방법.

#### 청구항 11

로컬 메모리내에 전송하고자 하는 데이터가 저장되어 있는 호스트내 패킷 버퍼의 어드레스, 동일 레이트 큐 및 동일 채널이 할당된 디스크립터의 어드레스가 저장되는 인접 수평 디스크립터 영역(Next Horizontal Descriptor Address : NHD) 및 동일 레이트 큐 및 상이한 채널이 할당된 디스크립터의 어드레스가 저장되는 인접 수직 디스크립터 영역(Next Vertical Descriptor Address : NVD)을 갖는 디스크립터들과, 상기 패킷 버퍼가 전송되어야 하는 가상 채널 및 대응 레이트 큐가 저장되어 있는 가상 채널 테이블과, 서로 상이한 전송 시점을 갖는 레이트 큐들은 각각 상이한 시작 디스크립터의 어드레스가 할당된 비동기 전송 모드 어댑테이션 총 타입 5의 ATM 셀 전송 장치내에서 상기 NHD 및 NVD내를 통하여 링크된 디스크립터를 이용하여 상기 패킷 버퍼내의 데이터들을 ATM 셀화하기 위하여 독출하는 방법으로서,

상기 레이트 큐들중 하나로부터 전송 요구가 있는가를 판단하는 전송 요구 판단 단계와;

상기 레이트 큐로부터 전송 요구가 있으면, 상기 레이트 큐에 대응하는 시작 디스크립터내에 저장된 어드레스에 대응하는 패킷 버퍼의 데이터 전송을 상기 호스트에 요구하는 데이터 전송 요구 단계와;

상기 호스트로부터 전송된 패킷 데이터들에 해당 헤더 및 트레일러를 부가하여 ATM 셀화한 후 올리 전송 매체로 전송하는 ATM 셀화 단계와;

상기 데이터 전송이 완료된 패킷 버퍼의 어드레스를 지정하는 상기 디스크립터의 링크를 로컬 메모리로부터 소거시키는 디스크립터 소거 단계와;

상기 전송이 완료된 디스크립터의 NVD내에 어드레스가 존재하는지 판단하는 NVD 판단 단계와;

상기 NVD내에 어드레스가 존재하면, 해당 어드레스의 디스크립터를 독출하고, 디스크립터내에 저장된 어드레스에 대응하는 패킷 버퍼의 데이터 전송을 상기 호스트에 요구한 후에 상기 ATM 셀화 단계로 귀환하는 귀환 단계를 구비하는 비동기 전송 모드 어댑테이션 총 타입 5의 ATM 셀 전송 방법.

#### 청구항 12

제 11 항에 있어서,

상기 가상 채널의 테이블 내에는 계수값 저장 영역과, 설정값 저장 영역이 존재하며, 상기 전송 요구 판단 단계의 수행 후에 상기 전송 요구가 상기 설정값에 대응하는 횟수로 요구되었는가를 판단하고, 상기 설정값에 대응하는 횟수로 요구되지 않으면 상기 계수값을 1 증가시키고 상기 NVD 판단 단계로 진행하여, 상기 설정값에 대응하는 횟수로 요구되면, 상기 데이터 전송 요구 단계로 진행하는 전송 시점 판단 단계를 더 구비하는 비동기 전송 모드 어댑테이션 총 타입 5의 ATM 셀 전송 방법.

#### 청구항 13

제 12 항에 있어서,

상기 전송 시점 판단 단계의 수행 후에 상기 디스크립터에 의하여 지정된 어드레스의 패킷 버퍼로부터의 데이터 전송이 필요한가를 판단하여 호스트 데이터가 필요하면 상기 데이터 전송 요구 단계로 진행하고, 호스트 데이터가 필요없으면, 상기 ATM 셀화 단계로 진행하는 데이터 필요 판단 단계를 더 구비하는 비동기 전송 모드 어댑테이션 총 타입 5의 ATM 셀 전송 방법.

#### 청구항 14

제 13 항에 있어서,

상기 데이터 전송 요구 단계의 수행 후에 현재 수신된 패킷 버퍼의 데이터로서 1 ATM 셀의 형성이 가능한가를 판단하는 ATM 셀 가능 판단 단계와;

상기 ATM 셀화 판단 단계의 수행 결과, 1 ATM 셀의 형성이 불가능하면 상기 현재 데이터가 수신된 패킷 버퍼를 지정하는 상기 디스크립터의 NHD에 기록된 어드레스의 디스크립터에 지정된 패킷 버퍼로부터 필요한 양의 데이터 전송을 재요구하는 데이터 재전송 요구 단계와;

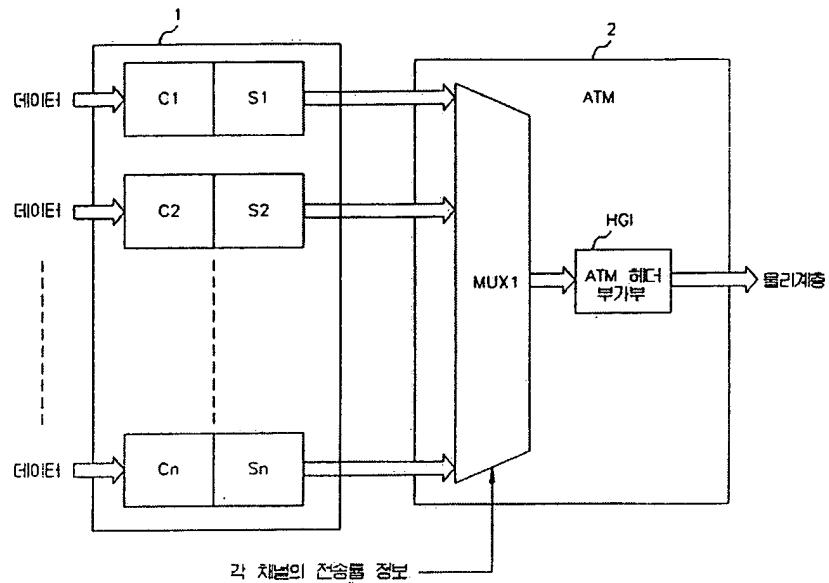
상기 ATM 셀화 단계의 수행 후에 현재 처리중인 패킷 데이터를 지시하는 디스크립터가 가르키는 패킷 버퍼에 전송하기 위한 데이터가 더 존재하는가를 판단하여 데이터가 더 존재하지 않으면 상기 디스크립터 소거 단계로 진행하는 데이터 존재 판단 단계와;

상기 데이터 존재 판단 단계의 수행 결과, 데이터가 더 존재하면 현재 처리중인 패킷 데이터를 지시하는 디스크립터가 가르키는 패킷 버퍼의 어드레스를 상기 데이터가 존재하는 패킷 버퍼의 어드레스로 변경 설정하는 어드레스 변경 설정 단계를 더 구비하는 비동기 전송 모드 어댑테이션 총 타입 5의 ATM 셀 전

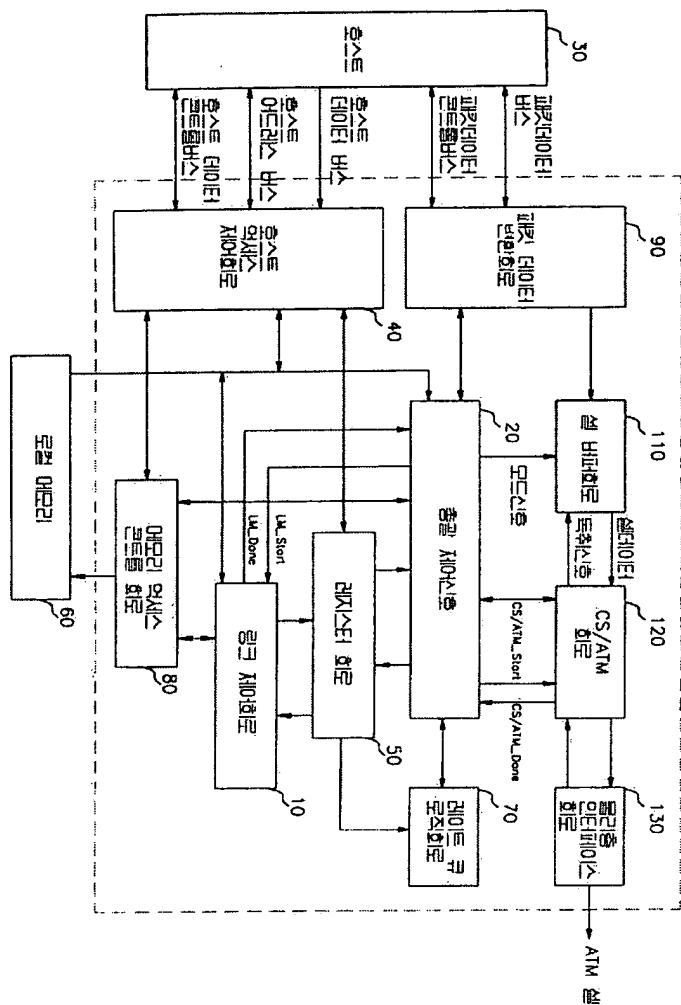
송 방법.

도면

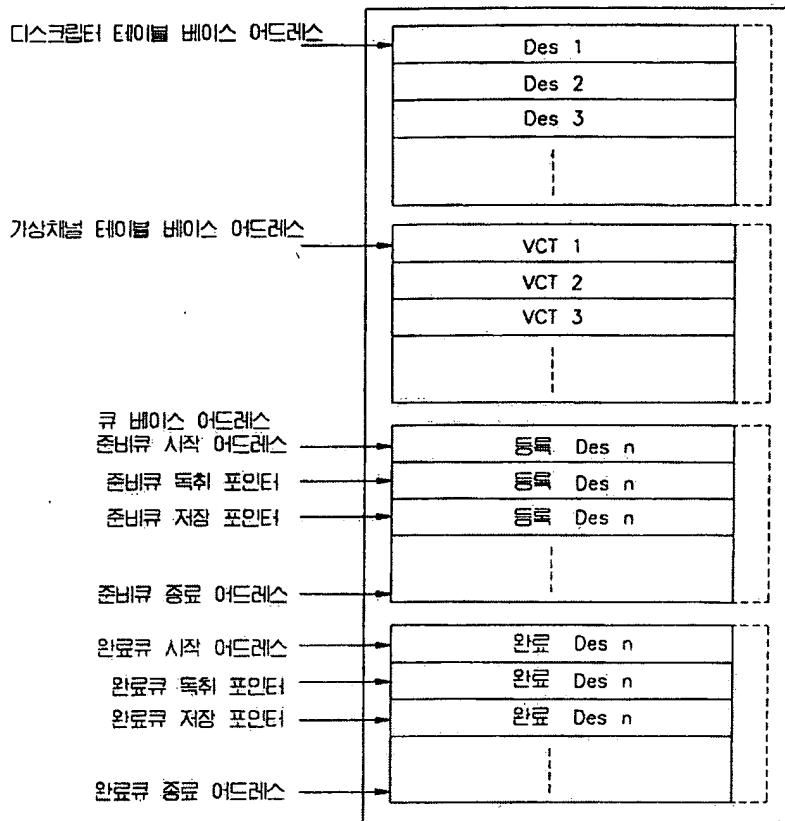
도면 1



도면 2



도면3



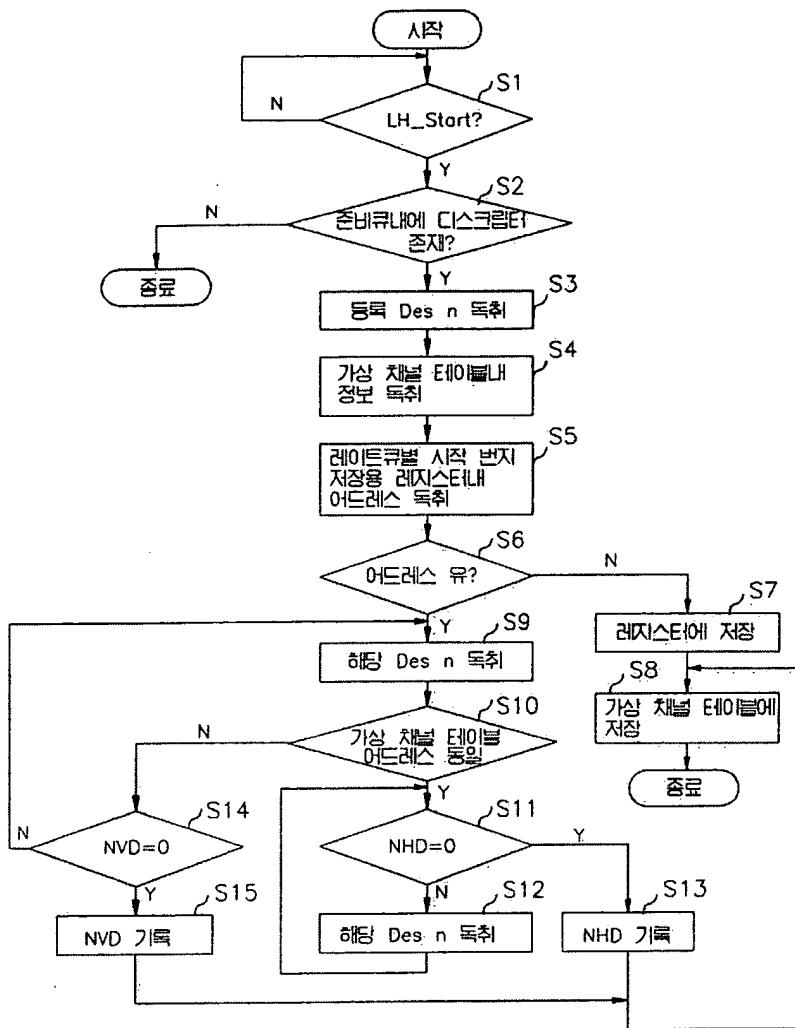
도면4

패킷 버퍼 시작 어드레스		
패킷 버퍼 길이	누적 길이	
디스크립터 모드	NVD	NHD
독취 바이트 길이		기상 채널 테이블 어드레스

도면5

ATM 셀 헤더 정보			
계수값 설정값			
CRC 결과값			
헤더 부기 여부 일령	레이트 큐번호	시작 디스크립터 어드레스	종료 디스크립터 어드레스

도면6



도면7

